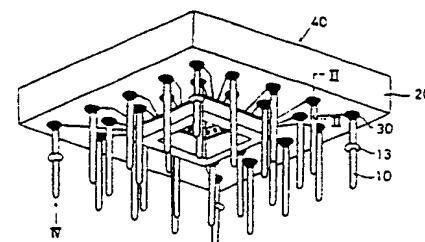
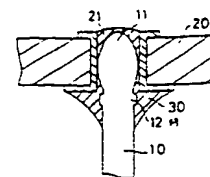


- (54) SEMICONDUCTOR MOUNTING BOARD  
 (11) 62-219952 (A) (43) 28.9.1987 (19) JP  
 (21) Appl. No. 61-63545 (22) 20.3.1986  
 (71) IBIDEN CO LTD (72) HAJIME YATSU(2)  
 (51) Int. Cl. H01L23/48, H01L23/12

**PURPOSE:** To make electrical junction and mechanical junction between a conductor pin and a through-hole through which the conductor pin is inserted more reliably by a method wherein a collar which has a small diameter part and a large diameter part is provided near the mating part of the conductor pin.

**CONSTITUTION:** Electrical junction between a conductor pin 10 and a through-hole 21 is achieved by dipping the conductor pin 10 side of a semiconductor mounting board 40 in molten solder. A collar 12, whose large diameter part has the diameter larger than the inner diameter of the through-hole 21 and whose small diameter part has the diameter smaller than the inner diameter of the through-hole 21, is formed near the mating part 11 of each conductor pin 10. Therefore, if the conductor pin 10 side of the semiconductor mounting board 40 is dipped in molten solder, solder 30 penetrates into the exposed part of the through-hole 21 near the collar 12 and the through-hole 21 is completely filled with the solder 30. With this constitution, the conductor pin 10 and the through-hole 21 can be electrically jointed perfectly.

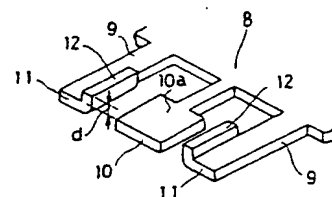


13: rim, 20: printed wiring board

- (54) LEAD FRAME  
 (11) 62-219953 (A) (43) 28.9.1987 (19) JP  
 (21) Appl. No. 61-63547 (22) 20.3.1986  
 (71) OMRON TATEISI ELECTRONICS CO (72) TAKESHI FUJIWARA  
 (51) Int. Cl. H01L23/48, H01L21/60

**PURPOSE:** To simplify the form of a heater block and a lead frame shifting mechanism and further stabilize the surface temperature of the lead frame by a method wherein the chip bonding part and the external lead parts are provided on the same horizontal level and a part of each external lead is made to stand upward above the chip bonding surface by the height corresponding to the thickness of a semiconductor chip.

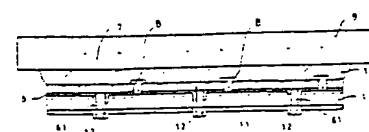
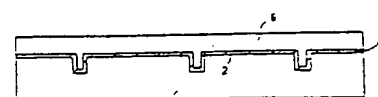
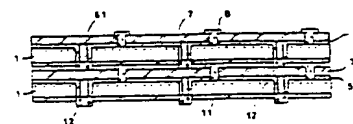
**CONSTITUTION:** A chip bonding part 10 and external lead parts 11 are provided on the same horizontal level without providing the difference in level as in the conventional constitution. A part of each external lead 11, a side wing closer to the chip bonding part 10 in the figure, is bent upward to stand. The standing part 12 stands above the chip bonding surface by the height corresponding to the thickness (d) of a semiconductor chip 2. The lead frame can be shifted without being interfered by a heater block and hence the vertical transfer mechanism of the heater block can be eliminated and, as the heater block is always contacted with the top and bottom of the lead frame, the temperature of the lead frame can be stabilized and excellent wire processing can be realized.



- (54) MANUFACTURE OF THREE-DIMENSIONAL IC  
 (11) 62-219954 (A) (43) 28.9.1987 (19) JP  
 (21) Appl. No. 61-62981 (22) 20.3.1986  
 (71) FUJITSU LTD (72) TAKASHI KATO  
 (51) Int. Cl. H01L27/00, H01L21/88

**PURPOSE:** To manufacture a three-dimensional IC which can be composed of three or more chips and in which acceptable chips can be selected easily and the thickness of the chip can be reduced by a method wherein conductive material posts which are exposed on the back of an element forming surface are utilized as measuring terminals.

**CONSTITUTION:** A plurality of fine holes 4 whose diameters are 1~10 $\mu$ m and whose depths are 30 $\mu$ m are formed in the front surface (element forming surface) 2 of a silicon substrate 1. A conductive material layer 6 is etched back and the fine holes 4 are filled with the conductive material to form conductive material posts 61. Then the back surface of the substrate 1 is cut and polished to expose the posts 61 filling the fine holes 4. A passivation film 11 is selectively removed from the regions corresponding to the conductive material posts 61 and lower contact pads 12 made of conductive material such as aluminum are formed on those regions. The upper contact pads 8 and the lower contact pads 12 are utilized as bumps and a plurality chips are laminated to manufacture a three-dimensional IC.



## ⑫ 公開特許公報(A)

昭62-219954

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)9月28日

H 01 L 27/00  
21/888122-5F  
6708-5F

審査請求 有 発明の数 1 (全6頁)

⑭ 発明の名称 三次元ICの製造方法

⑰ 特 願 昭61-62981

⑱ 出 願 昭61(1986)3月20日

⑲ 発 明 者 加 藤 隆 川崎市中原区上小田中1015番地 富士通株式会社内  
⑳ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地  
㉑ 代 理 人 弁理士 井 桁 貞一

## 明 細 書

## 1. 発明の名称

三次元ICの製造方法

## 2. 特許請求の範囲

〔1〕素子形成面(2)に少なくとも2個の細孔(4)を形成し、

該細孔(4)を導電材をもって充填して導電材のポスト(81)を形成し、

前記素子形成面(2)に素子を形成し、

前記導電材のポスト(81)に達するまで、裏面を切削し、

前記素子に付属する上部コンタクトパッド(8)と前記裏面に露出している前記導電材のポスト(81)とを接触させて接層することを特徴とする三次元ICの製造方法。

〔2〕前記素子形成面(2)に素子配線を形成した後、パッシベーション膜で素子層を保護し、素子・配線領域以外の領域に前記ポスト(81)を形成することを特徴とする特許請求の範囲第1項記載の三次元ICの製造方法。

〔3〕前記裏面に露出している前記導電材のポスト(81)を測定端子として使用し、該測定端子により、前記素子形成面(2)に形成したICを検査し、良品チップを選択して接層することを特徴とする特許請求の範囲第1項または第2項記載の三次元ICの製造方法。

## 3. 発明の詳細な説明

〔概要〕

三次元ICの製造方法である。

ウェーハの裏面(素子形成面)に細孔を形成した後、これを導電材をもって充填し、その後、素子形成面に素子を形成してこの素子の配線の一部を上部コンタクトパッドとしておき、上記の導電材が露出するまで、裏面から切削して導電材のポストを形成してこれを下部コンタクトパッドとし、これら上下のコンタクトパッドを接触させてなる三次元ICの製造方法である。

〔産業上の利用分野〕

本発明は三次元ICの製造方法に関する。

## 〔従来の技術〕

二次元ICは、微細化・高集積化が進行しているが、目ずと限界がある。

そこで、IC三次元化の要請は永らく叫ばれており、第7図に示すような、ウェーハを重ねて三次元化する手法が知られている。図示する三次元ICは、素子形成面2に、ウェーハ接触用パッド3を設けておき、このウェーハ接触用パッド3を介して、2枚の基板1の素子形成面2を相互に接続するものである。

## 〔発明が解決しようとする問題点〕

この手法をもって三次元ICが製造可能なことは確認されているが、この手法をもってしては、2枚構成が限界であり、しかも、1つのウェーハに含まれる多数のチップから良品チップを選択する工程が複雑であるという欠点があり、さらに、チップをあまり薄くしえない（素子形成面のみ）に測定パッドを形成することとされているため、チップを独立に取り扱わねばならず、チップをあ

積層して三次元ICを製造することにある。

また、三次元ICの製造においては、歩留りの低下が大きな問題となる。なぜなら、重ねるウェーハ1枚当りの歩留りが50%とすると、2枚重ねると25%に低下し、10枚重ねると0.1%に歩留りが落ちることになり、ほとんど良品がなくとなる。そこで、上記の裏面に露出している導電体のポストを測定端子として利用すると、良品選択のための検査・選択工程が簡略になり、良品チップだけを選り出して接続すれば問題なく三次元ICを形成出来る。

## 〔作用〕

上記の欠点はチップを貫通する接続部材の不在にもとづくものである点に着目して、ウェーハの裏面（素子形成面）に細孔を形成した後、これを導電材をもって充填し、その後、素子形成面に素子を形成してこの素子の配線の一部を上部コンタクトパッドとしておき、上記の導電材が露出するまで、裏面から切削・研磨して導電材のポスト

まり結くすると繋れるからである。）等の欠点がある。

本発明の目的はこれらの欠点を解消することにある。〔イ〕3枚以上のチップをもっても構成することができ、〔ロ〕1つのウェーハに含まれる多数のチップから良品チップを選択する工程が簡易であり、〔ハ〕チップの厚さの制限が排除されてチップの厚さを薄くなしうる等多くの利益を有する三次元ICの製造方法を提供することにある。

## 〔問題点を解決するための手段〕

上記の目的を達成するために本発明が採った手段は、素子形成面2に少なくとも2個の細孔4を形成し、この細孔4を導電材をもって充填して導電材のポスト81を形成し、前記の素子形成面2に素子を形成し、前記の導電材のポスト81に達するまで、裏面を切削・研磨し、前記の素子に付随する上部コンタクトパッド8と前記の裏面に露出している前記の導電材のポスト81とを接触させて

を形成してこれを下部コンタクトパッドとし、これら上下のコンタクトパッドを接続して三次元ICを構成することとしたものである。

## 〔実施例〕

以下、図面を参照しつつ、本発明の三つの実施例に係る三次元ICの製造方法についてさらに説明する。

## 第1例

## 第2図参照

シリコン基板1の裏面（素子形成面）2に、直径1～10 $\mu$ m、深さ30 $\mu$ mの細孔4を複数個形成する。この工程はレーザによる異方性エッチング法、リアクティブイオンエッチング法等を使用すれば容易に可能である。特に、細孔4の寸法は、精度を必要としない。要すれば、ばらつきが許容される。

酸化して細孔4の内面を含めて表面を厚さ5,000Åの二酸化シリコン膜5をもってカバー

し、特に、細孔4内を絶縁する。

第3図参照

多結晶シリコン層またはアルミニウム層等の導電材の層6を、細孔4を充填しうる程度の厚さ(例えば数 $\mu$ mの厚さ)に形成する。

第4図参照

等方性エッチング法を使用して、導電材の層6をエッチバックして上記の細孔4を導電材をもって充填して導電材のポスト81を形成する。

通常の手法を使用して表面2にトランジスタ、ダイオード等の素子(破線をもって素子の領域を示す。)を形成する。

表面(素子形成面)2にパッシベーション膜7を形成する。このとき、素子の上記コンタクトパッド8の一部はパッシベーション膜7上に露出している。

第5図参照

熱可塑性接着材をもって、パッシベーション膜7上にガラス板等の固定台9を接着する。10は硬化した接着材を示す。

#### 他の実施例

この実施例は、デバイス層形成後にポストを形成する例である。

(a) 素子形成面に、トランジスタ13、抵抗(図示せず)、キャパシタ(図示せず)、配線14を形成して、表面をパッシベーション膜15で被覆する。ポスト形成部の配線コンタクト穴16を通常のリソグラフィー法により形成する。

(b) レジスト17を塗布し、ポスト穴18形成部を開口する。続いて、反応性イオンエッチング法またはレーザーウェットエッチング法により、ポスト穴18を形成する。続いて、陽極酸化法により、ポスト穴18側面に酸化膜19を形成する。その後、レジスト17を除去する。

(c) CVD法、メッキ法等により、全表面及びポスト内部に配線導電層20を埋め込む。配線をリソグラフィー法により形成した後、ポリイミド樹脂21等を塗布して平坦化

表面を引用・研磨して、細孔4中に充填された導電材のポスト81を露出する。

第6図参照

表面に、例えば窒化シリコンよりなるパッシベーション膜11を形成し、上記の導電材のポスト81に対応する領域からパッシベーション膜11を除去し、ここに、アルミニウム膜等の導電材よりなる下部コンタクトパッド12を形成する。

第1図参照

上記の上部コンタクトパッド8と下部コンタクトパッド12を1組のバンプとして使用して複数枚のチップを積層して三次元ICを製造する。

#### 第2例

第1例において、第6図を参照して説明した下部コンタクトパッド12を測定端子として使用して、ウェーハ中に含まれる複数のチップから良品のチップを選択することとするとチップの検査・選択工程が極めて簡易となる。

する。その後、上部バンプ22を形成する。

(d) その後、第1例と同様に、固定台9に接着して表面を研磨してポスト24を露出させ、表面に絶縁層23を形成した後、ポストから下部測定用パッド電極25を引き出す。

(e) この様にして形成された固定台ウェーハ1組を顕微鏡から見ると、第8(e)図に示すようになる。この測定用パッド25に測定端子を当ててチップICを検査し、良品を選択する。

(f)、(g) スクライブ溝26を通して、三次元IC積層基板27と位置合わせを行ない、良品チップを熱圧着する。さらに、上面からレーザー光等により接着チップ部分だけを加熱することにより、固定台9との接着を融解する。表面に残った接着層21をエッチング除去して、次のチップを積層する工程を続ける。

以上の工程により、三次元ICが形成される。

(発明の効果)

以上説明せるとおり、本発明に係る三次元ICの製造方法においては、素子形成面(裏面)に少なくとも2個の細孔を形成し、この細孔を導電材をもって充填して導電材のポストを形成し、前記の素子形成面に素子を形成し、前記の導電材のポストに達するまで、裏面を切削・研磨し、前記の素子に付属する上部コンタクトパッドと前記の裏面に露出している前記の導電材のポストとを接触させて接層することとされているので、(イ)3枚以上のチップをもっても三次元ICを構成することができ、(ロ)1つのウェーハに含まれる多数のチップから良品チップを選択する工程が簡易であり、(ハ)チップの厚さの制限が排除されてチップの厚さを薄くせしめる等多くの利益が実現する。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例に係る三次元ICの製造方法を実施して製造した三次元ICの断面図である。

第2～8図は、本発明の一実施例に係る三次元ICの製造方法の主要工程完了後の基板断面図である。

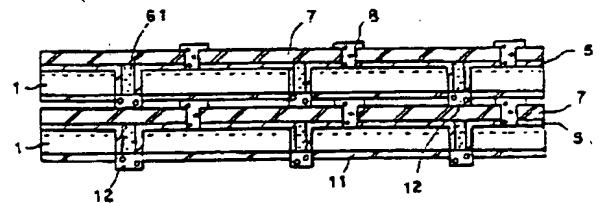
第7図は、従来技術に係る三次元ICの製造方法の断面図である。

第8(a)～(g)図は、他の実施例の工程図である。

- 1・・・基板、
- 2・・・素子形成面(裏面)、
- 3・・・ウェーハ接触用パッド、
- 4・・・細孔、
- 5・・・二酸化シリコン膜、
- 6・・・導電材の層、
- 61・・・導電材のポスト、
- 7・・・パッシベーション膜、
- 8・・・上部コンタクトパッド、
- 9・・・限定台、
- 10・・・硬化した接着材、
- 11・・・パッシベーション膜、
- 12・・・下部コンタクトパッド、

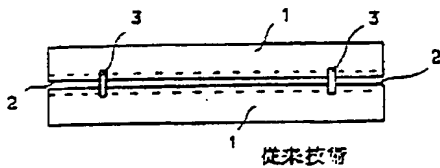
12・・・下部コンタクトパッド、

代理人 弁理士 井桁貞一



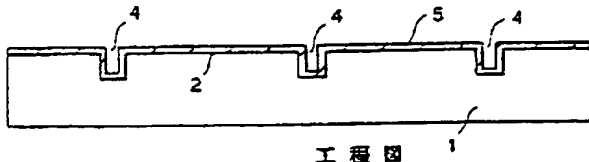
本発明

図1図



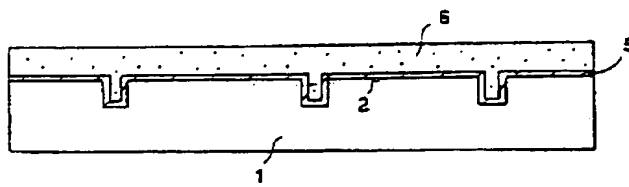
従来技術

第 7 図



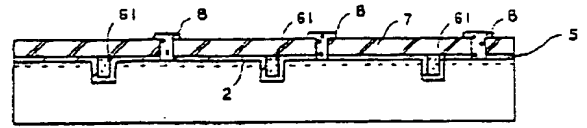
工程図

第 2 図



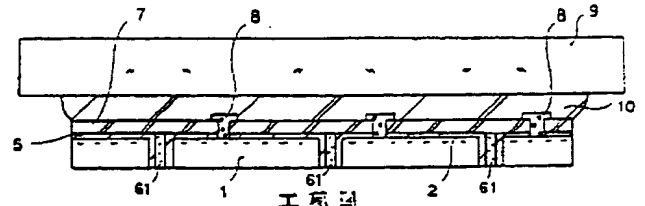
工程図

第 3 図



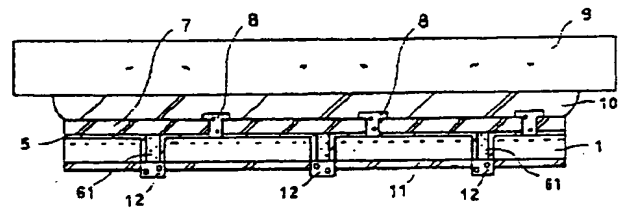
工程図

第 4 図



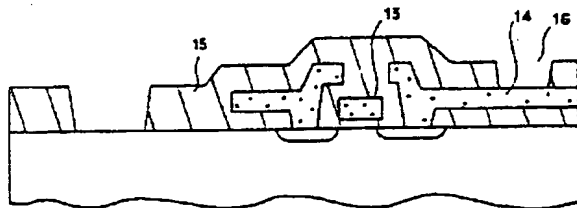
工程図

第 5 図

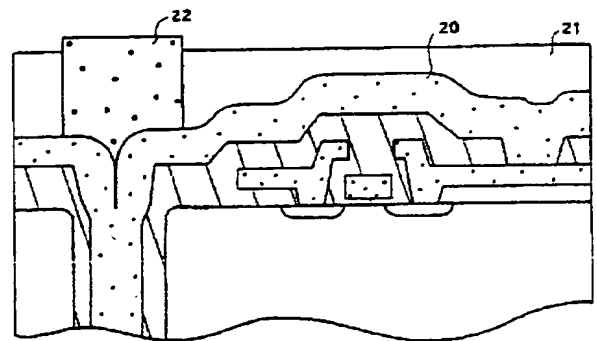


工程図

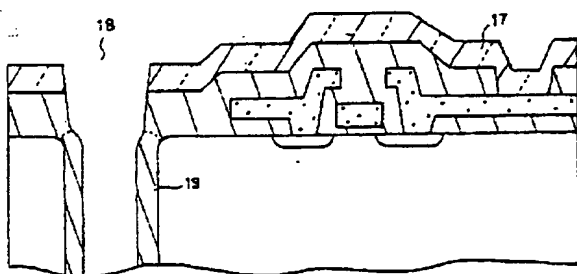
第 6 図



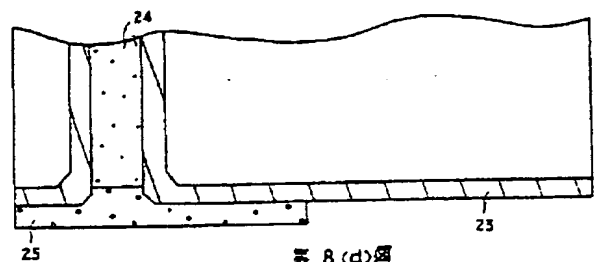
第 8 (a) 図



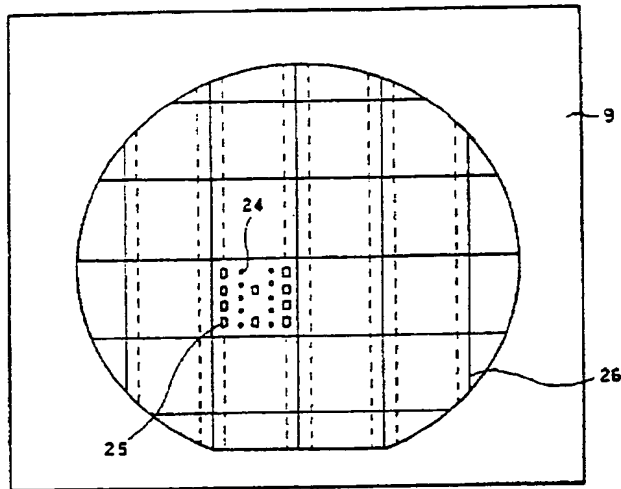
第 8 (c) 図



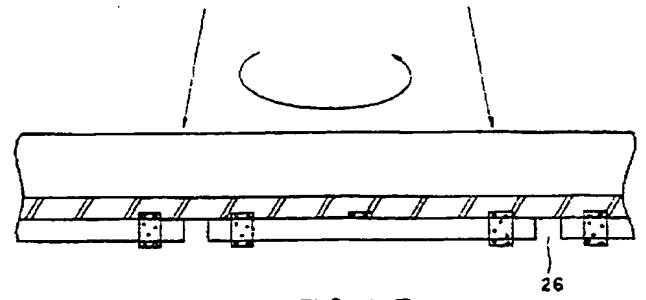
第 8 (b) 図



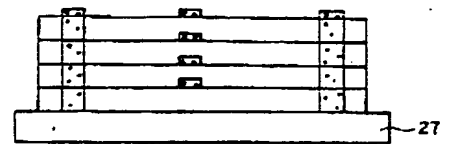
第 8 (d) 図



第 8 (e) 図



第 8 (f) 図



第 8 (g) 図